

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月28日

出 願 番 号

Application Number:

特願2002-249352

[ ST.10/C ]:

[ JP2002-249352 ]

出 願 人

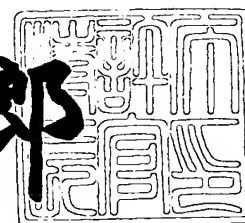
Applicant(s):

エヌイーシーマイクロシステム株式会社

2003年 6月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044130

【書類名】 特許願

【整理番号】 01220003

【あて先】 特許庁長官殿

【国際特許分類】 G05F 3/24

【発明者】

    【住所又は居所】 神奈川県川崎市中原区小杉町1丁目403番53号 エヌイーシーマイクロシステム株式会社内

    【氏名】 安部 修

【特許出願人】

    【識別番号】 000232036

    【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

    【識別番号】 100103894

    【弁理士】

    【氏名又は名称】 家入 健

【手数料の表示】

    【予納台帳番号】 106760

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0202527

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バンドギャップ回路

【特許請求の範囲】

【請求項 1】

電源電圧と基準電位に接続され、出力電圧を生成して回路出力端子から出力するバンドギャップ回路であって、

反転入力端子、非反転入力端子、及び出力端子を有する差動増幅器と、

前記回路出力端子の電圧の変動に応じて前記反転入力端子と非反転入力端子に電位差を生じさせる第一の回路と、

前記回路出力端子及び前記基準電位に接続されるとともに、前記差動増幅器の出力端子に直接接続され、前記差動増幅器の出力端子での電位の変動に応じて、前記回路出力端子の過剰電流を前記基準電位に流すスイッチング素子とを備えたバンドギャップ回路。

【請求項 2】

抵抗成分を有する第一の素子と容量成分を有する第二の素子とが接続され、前記第一の素子及び前記第二の素子が前記電源電圧の電源ノイズを除去することを特徴とする請求項 1 記載の記載のバンドギャップ回路。

【請求項 3】

電源電圧と基準電位に接続され、出力電圧を生成して回路出力端子から出力するバンドギャップ回路であって、

反転入力端子、非反転入力端子、及び出力端子を有する差動増幅器と、

前記回路出力端子の電圧の変動に応じて前記反転入力端子と非反転入力端子に電位差を生じさせる第一の回路と、

前記回路出力端子、前記基準電位、及び前記差動増幅器の出力端子に接続され、前記差動増幅器の出力端子での電位の変動に応じて、前記回路出力端子の過剰電流を前記基準電位に流すスイッチング素子と、

前記電源電圧及び前記回路出力端子に接続される抵抗成分を有する第一の素子と、

該第一の素子と接続される容量成分を有する第二の素子とを備えたバンドギャ

ップ回路。

【請求項 4】

前記第一の素子はトランジスタであることを特徴とする請求項 2 又は 3 記載のバンドギャップ回路。

【請求項 5】

前記第二の素子はイオン注入抵抗であることを特徴とする請求項 2 又は 3 記載のバンドギャップ回路。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、低電圧電源を用いて高周波領域で動作を行うバンドギャップ回路に関する。

【 0 0 0 2】

【従来の技術】

従来、半導体集積回路には、D/A変換器などに用いられる基準電圧を安定して生成する基準電圧発生回路が設けられている。基準電圧発生回路には、トランジスタのしきい値電圧の差を利用するバンドギャップ回路がある。バンドギャップ回路は、半導体集積回路の電源投入時に生じる電圧の立ち上がりや動作中に生じる電源電圧の変動等により、半導体集積回路が誤作動を起こすのを防止し、半導体集積回路の電源電圧依存性を低減する。また、このバンドギャップ回路は、基準電圧を温度に対して安定して生成し、基準電圧の温度依存性も低減する。

【 0 0 0 3】

近年、低電圧電源を用いてロジック回路の高速化が行われており、GHzオーダーの高速化が行われている。このように低電圧源を用いてロジック回路の高速化を行う際、5%程度という電源ノイズが顕在化し、これまで以上に電源変動除去比(P S R R:Power Supply Rejection Ratio)の良好なバンドギャップ回路が要求されている。

【 0 0 0 4】

低電圧電源により電圧を印加されて高速に駆動する半導体集積回路に対応する

バンドギャップ回路として、例えば「A Precise On-Chip Voltage Generator for a Gigascale DRAM with a Negative Word-Line Scheme」、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.34, NO.8, AUGUST 1999に記載されるように、カレントミラーを用いたカレントミラー型バンドギャップ回路や差動増幅を用いた差動型バンドギャップ回路等が知られている。このようなカレントミラー型バンドギャップ回路や差動型バンドギャップ回路について図を参照して説明する。

## 【 0 0 0 5 】

図 8 に示すように、カレントミラー型バンドギャップ回路は、P 型トランジスタ P 1、P 型トランジスタ P 2、N 型トランジスタ N 1、N 型トランジスタ N 2 を有する。このカレントミラー型バンドギャップ回路では、N 型トランジスタ N 2 と P 型トランジスタ P 2 との間に P 型トランジスタ P 3 が接続されている。

## 【 0 0 0 6 】

さらに、図 8 に示すように、このカレントミラー型バンドギャップ回路では、N 型トランジスタ N 2 と負電源との間に抵抗 R 1、ダイオード D 2 が接続されている。そして、出力端子 V O U T と負電源との間に抵抗 R 2、ダイオード D 3 が接続されている。さらに、N 型トランジスタ N 1 と負電源との間にダイオード D 1 が接続されている。また、これらの抵抗 R 1、R 2 やダイオード D 2、D 3 は、電源投入や電源変動時に出力端子 V O U T に過渡的に流れ込む電流を放電する機能を有する。

## 【 0 0 0 7 】

図 9 は、カレントミラー型バンドギャップ回路における電源電圧依存を示す特性図の一例である。図 9 では、横軸に電源電圧 V D D をとり、縦軸を出力端子の電圧 V O U T をとっている。図 9 に示すように、従来のカレントミラー型バンドギャップ回路を動作させる際、少なくとも約 1.5 V の入力電圧 V D D を入力端子に印加する必要がある。このとき、カレントミラー型バンドギャップ回路は、出力電圧 V O U T が約 1.25 V となって動作する。

## 【 0 0 0 8 】

図 1 0 は、従来の差動型バンドギャップ回路である。図 1 0 に示すように、差動型バンドギャップ回路は、一対の P 型トランジスタ P 1 及び P 2、一対の N 型

トランジスタN 1 及びN 2 から構成される差動増幅器を有する。この差動増幅器には、P 型トランジスタP 2 とN 型トランジスタN 2 との間にP 型トランジスタP 3 が接続され、このP 型トランジスタP 3 は出力端子V O U T に接続されている。

## 【 0 0 0 9 】

出力端子V O U T には、抵抗R 2、この抵抗R 2 とグランドとの間に抵抗R 1、ダイオードD 1 が順に接続されている。また、図 1 0 に示すように、これらの抵抗R 1、R 2、ダイオードD 1 とは別に、出力端子V O U T とグランドとの間には、抵抗R 2、ダイオードD 2 が順に接続されている。差動増幅器の非反転端子は抵抗R 1 と抵抗R 2 との間に接続され、反転端子は抵抗R 2 とダイオードD 2 との間に接続されている。また、差動型バンドギャップ回路では、カレントミラー型バンドギャップと同様に、出力端子V O U T に接続される抵抗R 1、R 2、ダイオードD 1、D 2 から出力端子V O U T に流れ込む電流を放電する。

## 【 0 0 1 0 】

図 1 1 は、差動型バンドギャップ回路における電源電圧依存を示す特性図の一例である。図 1 1 では、横軸に電源電圧V D D をとり、縦軸を出力端子の電圧V O U T をとっている。図 1 1 に示すように、従来の差動型バンドギャップ回路を動作させる際、少なくとも約 1. 2 5 V の入力電圧V D D を入力端子に印加する必要がある。このとき、差動型バンドギャップ回路は、出力電圧V O U T が約 1. 2 5 V となって動作する。

## 【 0 0 1 1 】

このように、差動型バンドギャップ回路では、カレントミラー型バンドギャップ回路よりも低い電源電圧により安定に動作することができる。そのため、低電源電圧でロジック回路を動作させる場合、カレントミラー型バンドギャップ回路よりも差動型バンドギャップ回路が利用される。さらに、差動バンドギャップ回路では、差動増幅器で負帰還をかけるため、カレントミラー型バンドギャップ回路より高周波領域でのP S R R が高く、ロジック回路等を高速に動作させる際に用いられる。

## 【 0 0 1 2 】

前述のように、従来のカレントミラー型バンドギャップ回路や差動型バンドギャップ回路では、出力端子VOUTに流れ込む電流を抵抗、ダイオードで放電する。ところが、従来のバンドギャップ回路では、抵抗やダイオードの放電能力は乏しいため、電源投入や電源変動時に出力端子VOUTに流れ込む電流を放電しきることができない。そのため、従来のバンドギャップ回路では、電源変動除去比（PSRR）が低下する。

## 【0013】

さらに、従来におけるバンドギャップ回路では、低消費電力化にともない、電源投入や電源変動時に出力端子VOUTに流れ込む電流を放電しきれないため、起動時の出力端子VOUTにおける電圧の安定時間が遅くなって悪化するという問題がある。

## 【0014】

特開2002-123325号公報においては、電源電圧を投入時に基準電圧を速やかに立ち上げる基準電圧発生装置が公開されている。しかしながら、特開2002-123325号公報のバンドギャップ回路は、自動車等のエンジンや自動変速機を制御するのに使用される電子制御装置であり、A/D変換等を行うのに必要な基準電圧を生成する基準電圧発生装置である。

## 【0015】

また、特開2002-123325号公報の基準電圧発生装置では、その用途から素子の数が多く、高電圧電源を用いて駆動される。そのため、この基準電圧発生装置のバンドギャップ装置では、半導体集積回路を低電圧電源により高速に駆動させる場合には非常に困難となる。例えば、近年の低電圧電源を用いた高速のバンドギャップ回路では、1.5ボルトの電圧が印加されて駆動する。これに対して、特開2002-123325号公報の基準電圧発生装置では、バンドギャップ回路には7～8V程度の電圧が印加されて駆動するため、特開2002-123325号公報における基準電圧発生装置では、低電圧電源により駆動するのができない。

## 【0016】

【発明が解決しようとする課題】

このように、従来のバンドギャップ回路では、低電源電圧で動作を行う際、回路出力端子に過渡的に流れ込む過剰電流を効率良く放電することができないため、P S R Rが低下し、さらには回路出力端子での電圧の安定時間が悪化するという問題点があった。

#### 【 0 0 1 7 】

本発明は、このような問題点を解決するためになされたもので、回路出力端子に過渡的に廻り込む過剰電流を効率良く除去することができ、P S R Rを向上させ、回路出力端子での電圧の安定時間を短縮することができるバンドギャップ回路を提供することを目的とする。

#### 【 0 0 1 8 】

##### 【課題を解決するための手段】

本発明にかかるバンドギャップ回路は、電源電圧と基準電位に接続され、出力電圧を生成して回路出力端子から出力するバンドギャップ回路であって、反転入力端子、非反転入力端子、及び出力端子を有する差動増幅器（例えば、発明の実施の形態におけるnチャンネル型トランジスタN4、N5、pチャンネル型トランジスタP6、P7から構成される差動増幅器）と、前記回路出力端子の電圧の変動に応じて前記反転入力端子と非反転入力端子に電位差を生じさせる第一の回路（例えば、発明の実施の形態における抵抗R1、R2、ダイオードD1、D2から構成される回路）と、前記回路出力端子及び前記基準電位に接続されるとともに、前記差動増幅器の出力端子に直接接続され、前記差動増幅器の出力端子での電位の変動に応じて、前記回路出力端子の過剰電流を前記基準電位に流すスイッチング素子（例えば、発明の実施の形態におけるnチャンネル型トランジスタN3）とを備えたものである。このような構成により、回路出力端子に過渡的に廻り込む過剰電流を効率良く除去することができる。

#### 【 0 0 1 9 】

さらに、本発明にかかるバンドギャップ回路は、抵抗成分を有する第一の素子（例えば、発明の実施の形態におけるpチャンネル型トランジスタP5）と容量成分を有する第二の素子（例えば、発明の実施の形態における抵抗R2）とが接続され、前記第一の素子及び前記第二の素子が前記電源電圧の電源ノイズを除去



するものである。これにより、電源電圧の電流ノイズを除去して回路出力端子に過渡的に廻り込む過剰電流を確実に除去することができる

## 【 0 0 2 0 】

本発明にかかるバンドギャップ回路は、電源電圧と基準電位に接続され、出力電圧を生成して回路出力端子から出力するバンドギャップ回路であって、反転入力端子、非反転入力端子、及び出力端子を有する差動増幅器（例えば、発明の実施の形態における n チャンネル型トランジスタ N 4、N 5、p チャンネル型トランジスタ P 6、P 7 から構成される差動増幅器）と、前記回路出力端子の電圧の変動に応じて前記反転入力端子と非反転入力端子に電位差を生じさせる第一の回路（例えば、発明の実施の形態における抵抗 R 1、R 2、ダイオード D 1、D 2 から構成される回路）と、前記回路出力端子、前記基準電位、及び前記差動増幅器の出力端子に接続され、前記差動増幅器の出力端子での電位の変動に応じて、前記回路出力端子の過剰電流を前記基準電位に流すスイッチング素子（例えば、発明の実施の形態における n チャンネル型トランジスタ N 3）と、前記電源電圧及び前記回路出力端子に接続される抵抗成分を有する第一の素子（例えば、発明の実施の形態における p チャンネル型トランジスタ P 5）と、該第一の素子と接続される容量成分を有する第二の素子（例えば、発明の実施の形態における抵抗 R 2）とを備えたものである。このような構成により、電源電圧の電流ノイズを除去して回路出力端子に過渡的に廻り込む過剰電流を効率良く確実に除去することができる。

## 【 0 0 2 1 】

望ましくは、本発明にかかるバンドギャップ回路では、前記第一の素子はトランジスタである。これにより、抵抗成分を有する第一の素子を簡便に形成することができる。

## 【 0 0 2 2 】

また望ましくは、本発明にかかるバンドギャップ回路では、前記第二の素子はイオン注入抵抗である。これにより、イオン注入抵抗の寄生容量を用いて電源電圧の電源ノイズを確実に除去することができる。

## 【 0 0 2 3 】

## 【発明の実施の形態】

以下、本発明の実施の形態について図を参照して説明する。

## 【0024】

本発明の実施の形態においては、ローパスフィルタを有さないバンドギャップ回路とローパスフィルタを設けたバンドギャップ回路について説明する。なお、本発明の実施の形態においては、MOSFETを用いて説明するが、MOSFETに限らず、MISFETやJFET等のユニポーラトランジスタやバイポーラトランジスタであっても良い。またなお、本発明の実施の形態では、エンハンスメント型の電界効果トランジスタを用いて説明するが、ディプレッション型の電界効果トランジスタであっても良い。

## 【0025】

発明の実施の形態1.

発明の実施の形態1（以下、実施形態1と略す）においては、ローパスフィルタを有さないバンドギャップ回路について説明する。

## 【0026】

まず、図1を用いて、実施形態1におけるバンドギャップ回路の構成について説明する。図1は、実施形態1におけるバンドギャップ回路の一構成例を示す概略回路図である。図1に示すように、実施形態1におけるバンドギャップ回路は、差動増幅器と、この差動増幅器に接続されたnチャンネル型トランジスタN3とを有する。なお、以下では、nチャンネル型トランジスタをn型トランジスタ、pチャンネル型トランジスタをp型トランジスタと略す。

## 【0027】

差動増幅器は、一般的なオペアンプから構成される。図1に示すように、バンドギャップ回路の差動増幅器は、一对のp型トランジスタP6、P7と、n型トランジスタN4、N5とから構成される。

## 【0028】

n型トランジスタN4のソースは基準電位となるグランドに接地され、ドレインはp型トランジスタP6のドレインに接続されている。また、n型トランジスタN4のゲートはn型トランジスタN5のゲートに接続されている。さらに、n

型トランジスタN4のドレイン-ゲート間が接続（ダイオード接続）されている。n型トランジスタN5は、n型トランジスタN4と同様に、ソースがグランドに接地されるとともに、ドレインはp型トランジスタP7のドレインに接続されている。また、n型トランジスタN5のゲートはn型トランジスタN4のゲートに接続されている。

## 【 0 0 2 9 】

p型トランジスタP6のドレインはn型トランジスタN4のドレインに接続され、ソースはp型トランジスタP14を介して電源電圧VDDに接続されている。また、図1に示すように、p型トランジスタP6のゲートは抵抗R2を介して出力端子VOU Tに接続されている。p型トランジスタP7は、p型トランジスタP6と同様に、ドレインがn型トランジスタN5のドレインに接続されるとともに、ソースはp型トランジスタP14を介して電源電圧VDDに接続されている。また、図1に示すように、p型トランジスタP7のゲートは抵抗R2を介して出力端子VOU Tに接続されている。

## 【 0 0 3 0 】

図1に示すように、出力端子VOU Tとグランドとの間には、出力端子VOU T側から順に抵抗R2、R1、ダイオードD1が接続されている。これらとは別に、出力端子VOU Tとグランドとの間には、出力端子VOU T側から順に抵抗R2、ダイオードD2が接続されている。

## 【 0 0 3 1 】

ダイオードD1のカソードはグランドに接地され、アノードは抵抗R1に接続されている。抵抗R1は、一方がダイオードD1に接続されるとともに、他方が抵抗R2とp型トランジスタP6のゲートとに接続されている。また、抵抗R2は、一方が抵抗R1とp型トランジスタP6のゲートとに接続されるとともに、他方が出力端子VOU Tに接続されている。

## 【 0 0 3 2 】

ダイオードD2のカソードはグランドに接地され、アノードは抵抗R2とp型トランジスタP7のゲートとに接続されている。抵抗R2は、一方が抵抗R2とp型トランジスタP6のゲートとに接続されるとともに、他方が出力端子VOU

Tに接続されている。

#### 【0033】

このように出力端子VOUTとグランドとの間に抵抗R1、R2、ダイオードD1、D2が接続され、p型トランジスタP6のゲートは、差動増幅器の非反転入力端子として機能する。それとともに、p型トランジスタP7のゲートは、差動増幅器の反転入力端子として機能する。差動増幅器は、一般に、反転入力端子と非反転入力端子とが略同電位となるように動作を行う。この動作を利用してダイオードD2のアノードと抵抗R1の電源側の電位を等しくし、定電流を発生させている。

#### 【0034】

また、抵抗R1、R2は、一般的な抵抗素子に限らず、例えばトランジスタのような抵抗成分を有する素子を用いて形成することもできる。また、抵抗R1、R2は、シリコン基板等の基板上に形成されたNウェル抵抗としても良い。ここで、Nウェル抵抗とは、基板とNウェルとの間に寄生容量がつく拡散抵抗のことである。また、Nウェル抵抗とは、例えばイオン注入法によりNウェルが形成されたイオン注入抵抗のことである。Nウェル抵抗を用いて抵抗R1、R2を形成する場合、他のトランジスタを形成する際に同時に形成することができ、抵抗を簡便に形成することができる。

#### 【0035】

図1に示すように、n型トランジスタN3は、差動増幅器に接続されるとともに、出力端子VOUTに接続されている。n型トランジスタN3のゲートは、差動増幅器のn型トランジスタN5とp型トランジスタP7との間に接続され、n型トランジスタN5とp型トランジスタP7のそれぞれのドレインに接続されている。さらに、n型トランジスタN3のドレインが出力端子VOUTに接続される。それとともに、n型トランジスタN3のソースは、グランドに接地されている。

#### 【0036】

n型トランジスタN3は、後述するように、電源投入や電源変動時に出力端子VOUTへ流れ込む過渡的な廻り込み電流を差動増幅器の負帰還により吸い取る

機能を有する。すなわち、 $n$ 型トランジスタ $N3$ は、電源投入や電源変動時に出力端子 $VOUT$ に廻り込み電流が過渡的に流れ込んだ際、差動増幅器による帰還によりゲート電位が上昇して出力端子 $VOUT$ の回り込み電流をグランドに流して除去する機能をする。ここで、廻り込み電流とは、電源投入や電源変動時に出力端子 $VOUT$ に流れ込む過剰電流のことである。

## 【0037】

なお、図1においては、 $n$ 型トランジスタ $N3$ が差動増幅器に直接接続されているが、後述するように、 $n$ 型トランジスタ $N3$ と差動増幅器との間に素子を介在させても良い。またなお、 $n$ 型トランジスタ $N3$ と出力端子 $VOUT$ とは直接接続されているが、出力端子 $VOUT$ に過渡的に流れ込む廻り込み電流を除去することができれば、 $n$ 型トランジスタ $N3$ と出力端子 $VOUT$ との間に素子を介在させても良い。望ましくは、 $n$ 型トランジスタ $N3$ と出力端子 $VOUT$ との間に素子が介在しない方が廻り込み電流をグランドに容易に流すことができるため、 $n$ 型トランジスタ $N3$ と出力端子 $VOUT$ とを直接の方が良い。

## 【0038】

一般に、実施形態1のバンドギャップ回路のように、差動増幅器のイマジナリーショートを利用したバンドギャップ回路では、差動増幅器のオフセット電圧が無い方が望ましい。差動増幅器のオフセット電圧を無くす場合、 $p$ 型トランジスタ $P6$ 、 $P7$ のそれぞれのソース電位、ドレイン電位を略同電位にする。図1において、 $p$ 型トランジスタ $P6$ のドレイン電位は $n$ 型トランジスタ $N4$ のソースーゲート間の電位に等しく、 $p$ 型トランジスタ $P7$ のドレイン電位は $n$ 型トランジスタ $N3$ のソースーゲート間の電位に等しい。そのため、 $n$ 型トランジスタ $N4$ のソースーゲート間の電位と、 $n$ 型トランジスタ $N3$ のソースーゲート間の電位とが等しくなるように、 $n$ 型トランジスタ $N3$ のディメンジョンを決めると、差動増幅器のオフセット電圧を無くすことができる。

## 【0039】

このように、 $n$ 型トランジスタ $N4$ のソースーゲート間の電位と、 $n$ 型トランジスタ $N5$ のソースーゲート間の電位とが等しくなるように、 $n$ 型トランジスタ $N3$ のディメンジョンを決めると、差動増幅器のオフセット電圧を無くすことが

できる。そのため、 $n$ 型トランジスタ $N3$ のディメンジョンのみを決めることにより、差動増幅器のオフセット電圧を簡便に無くすることができる。これにより、高精度の出力電圧を出力する良好なバンドギャップ回路を簡便に実現させることができる。

#### 【0040】

なお、図1においては $n$ 型トランジスタ $N3$ のゲートは差動増幅器の $n$ 型トランジスタ $N5$ と $p$ 型トランジスタ $P7$ との間に直接接続されているが、これに限らず、 $n$ 型トランジスタ $N3$ と $n$ 型トランジスタ $N5$ や $p$ 型トランジスタ $P7$ との間に素子を介在させても良い。このとき、その介在させる素子は、前述のように $n$ 型トランジスタ $N3$ のディメンジョンを決めるのに影響しない素子とすることができる。すなわち、 $n$ 型トランジスタ $N3$ と $n$ 型トランジスタ $N5$ や $p$ 型トランジスタ $P7$ との間に、 $n$ 型トランジスタ $N3$ を決めるディメンジョンに影響しない素子が接続されても、前述のように $n$ 型トランジスタ $N3$ のディメンジョンを決めることができれば良い。このように、 $n$ 型トランジスタ $N3$ のディメンジョンを決めるのに影響しない素子を介在させることは、本発明における $n$ 型トランジスタ $N3$ が差動増幅器に直接接続されることに含まれる。

#### 【0041】

出力端子 $VOUT$ には $p$ 型トランジスタ $P4$ が接続されている。 $p$ 型トランジスタ $P4$ のドレインに出力端子 $VOUT$ が接続され、 $p$ 型トランジスタ $P4$ のソースは電源電圧 $VDD$ に接続されている。 $p$ 型トランジスタ $P4$ のゲートは、 $p$ 型トランジスタ $P14$ のゲートに接続されるとともに、 $p$ 型トランジスタ $P14$ を介して定電流源 $20$ の出力端子 $Vb1$ に接続され、電流を供給されている。 $p$ 型トランジスタ $P4$ は、ゲートに定電流源 $20$ からの電流を供給されてゲートをオン・オフする。これに応じて、 $p$ 型トランジスタ $P4$ は、電源電圧 $VDD$ から出力端子 $VOUT$ に電流を供給する。

#### 【0042】

図1に示すように、 $p$ 型トランジスタ $P14$ は、定電流源 $20$ 、 $p$ 型トランジスタ $P4$ に接続されている。 $p$ 型トランジスタ $P14$ は、ドレインが差動増幅器に接続され、ソースが電源電圧 $VDD$ に接続されている。そして、 $p$ 型トランジ

スタ P 1 4 は、ゲートが p 型トランジスタ P 4 のゲートに接続されるとともに、定電流源 2 0 の出力端子 V b 1 に接続される。p 型トランジスタ P 1 4 は、ゲートに定電流源 2 0 からの電流を供給されてゲートをオン・オフする。これに応じて、p 型トランジスタ P 1 4 は、電源電圧 V D D から差動増幅器に電流を供給する。また、図 1 に示すように、後述の定電流源 2 0 内の p 型トランジスタ P 2 4 と p 型トランジスタ P 4 と p 型トランジスタ P 1 4 とはカレントミラー回路を構成している。

## 【 0 0 4 3 】

なお、図 1 においては、p 型トランジスタ P 1 4 が差動増幅器に接続されているが、p 型トランジスタ P 1 4 に p 型トランジスタをカスケード接続して差動増幅器に接続しても良い。これにより、差動増幅器に供給する電源電流のばらつきを低減することができ、差動増幅器に対して安定した電流を供給することができる。

## 【 0 0 4 4 】

定電流源 2 0 は、直流電源 2 1 と p 型トランジスタ P 2 4 とから構成されている。直流電源 2 1 は、一端をグランドに接地されており、他端を p 型トランジスタ P 2 4 のドレインに接続されている。また、p 型トランジスタ P 2 4 のソースは電源電圧 V D D に接続され、ドレインは直流電源 2 1 に接続されている。p 型トランジスタ P 2 4 のゲートは定電流源 2 0 の出力端子 V b 1 に接続されており、定電流源 2 0 の出力端子 V b 1 を介して p 型トランジスタ P 4 、P 1 4 のゲートに接続されている。また、p 型トランジスタ P 2 4 は、ドレインーゲート間を接続（ダイオード接続）されている。なお、前述のように、p 型トランジスタ P 1 4 に p 型トランジスタ P 1 5 をカスケード接続して差動増幅器に接続する場合、定電流源 2 0 は、これらの p 型トランジスタ P 1 5 が同時にゲートをオン・オフするように構成される。

## 【 0 0 4 5 】

次に、図 1 を用いて、実施形態 1 のバンドギャップ回路の動作について説明する。ここで、差動増幅器は、従来の差動増幅器と同様に動作を行うため、その説明を省略する。電源投入や電源変動等により過渡的な廻り込み電流が発生しない

ときは、従来のバンドギャップ回路と同様に、差動増幅器の反転入力と非反転入力とが略同電位に動作を行う。p型トランジスタP6、P7のゲート間の電位は、略同電位に保たれる。そのため、n型トランジスタN3のゲート電位が変化することなく、n型トランジスタN3には、一定の電流が流れている。

## 【0046】

これに対して、電源投入や電源変動等により過渡的な廻り込み電流が発生すると、その発生に伴い、出力端子VOU Tの出力電圧、およびp型トランジスタP6、P7のゲート電位も同様に変動する。このとき、p型トランジスタP7のゲート電位に比べ、p型トランジスタP6のゲート電位は、抵抗R1を有するため、廻り込み電流が流れると、下記(A)式の通り

$$R \times \Delta I = \Delta V \quad (R: \text{抵抗}, \Delta I: \text{廻り込み電流}, \Delta V: \text{電位変動}) : (A)$$

の関係で電位の変動が大きい。

## 【0047】

このp型トランジスタP6、P7のゲート電位の変動により、p型トランジスタP6のドレイン電流が減少し、p型トランジスタP7のドレイン電流は増加する。それとともに、p型トランジスタP6のドレイン電流が減少すると、n型トランジスタN4はアクティブ抵抗の働きをするので、n型トランジスタN4のゲート電位は低下する。また、p型トランジスタP7のドレイン電流が増加すると、n型トランジスタN5もアクティブ抵抗の働きをするためn型トランジスタN3のゲート電位は上昇する。

## 【0048】

そして、n型トランジスタN3のゲート電位が上昇すると、n型トランジスタN3のドレイン電流も増加し、結果的に差動増幅器に負帰還がかかり、出力端子VOU Tとn型トランジスタN3のグランド間に電流を流す。これにより、n型トランジスタN3は、出力端子VOU Tに過渡的に流れ込んだ廻り込み電流をグランドへと流す。

## 【0049】

n型トランジスタN3は、出力端子VOU Tの廻り込み電流をグランドへと流



すと、出力端子  $V_{OUT}$  の電位が低下する。それにともなって、出力端子  $V_{OUT}$  の変動により生じた差動増幅器の反転入力端子と非反転入力端子との電位差が無くなる。そして、差動増幅器の各トランジスタ、反転入力端子、非反転入力端子、及び  $n$  型トランジスタ  $N3$  は、平衡状態となる。ここで、平衡状態とは、入力バイアス電位と同電位になることを示す。

#### 【 0 0 5 0 】

このように、実施形態 1 のバンドギャップ回路は、 $n$  型トランジスタ  $N3$  を介して出力端子  $V_{OUT}$  の廻り込み電流をグランドへと流して効率良く除去することができる。さらに、実施形態 1 のバンドギャップ回路では、 $n$  型トランジスタ  $N3$  のディメンジョンのみを決めることにより、出力端子  $V_{OUT}$  の廻り込み電流をグランドへと流して効率良く簡便に除去することができる。また、実施形態 1 のバンドギャップ回路では、差動増幅器に  $n$  型トランジスタ  $N3$  を接続し、廻り込み電流を除去する素子の数を大きく増やすことなく、廻り込み電流を効率良く簡便に除去することができる。そのため、出力端子  $V_{OUT}$  に廻り込む電流を効率良く簡便に除去しつつ、低電圧電源を用いて高速で駆動させることが可能となる。

#### 【 0 0 5 1 】

図 4、図 5、図 6 を用いて、実施形態 1 のバンドギャップ回路の動作と従来の差動型バンドギャップ回路の動作とを比較する。図 4 は、本発明の実施の形態におけるバンドギャップ回路と従来のバンドギャップ回路との周波数に対する  $PSRR$  の比較結果を示す特性図の一例である。図 5 は、従来のバンドギャップ回路に関する電源電圧依存を示す特性図の一例である。図 6 は、実施形態 1 におけるバンドギャップ回路の電源電圧依存を示す特性図の一例である。なお、ここでは従来のバンドギャップ回路として、前述の差動型バンドギャップ回路を用いている。

#### 【 0 0 5 2 】

図 4 に示すように、従来のバンドギャップ回路では、ロジック回路に印加する電圧の周波数を低周波数から高周波数へと変化させて電圧を印加させると、差動増幅器の負帰還能力が下がるため、周波数が  $100\text{ Hz} \sim 1\text{ KHz}$  程度を境に  $P$

RSSが低下する。ここで、図4においては、バンドギャップ回路に印加させる電源の電圧は1.5Vである。そして、周波数が100Hz～1kHz程度を境にPRSSが低下し始めた後、1MHz～100MHz程度を境にPSRRが安定する。このときの安定化したPSRRの値は、0dB～10dB程度となっている。つまり、従来のバンドギャップ回路を用いてロジック回路をGHzオーダの高速で動作を行う場合、0dB～10dB程度のPSRRで動作を行っている。

#### 【0053】

図4に示すように、実施形態1のバンドギャップ回路では、ロジック回路に印加する1.5Vの電源電圧VDDの周波数を低周波数から高周波数へと変化させて電圧を印加させると、従来のバンドギャップ回路と同様に、差動増幅器の負帰還能力が下がるため、周波数が100Hz～1kHz程度を境にPSRRが低下する。

#### 【0054】

実施形態1のバンドギャップ回路では、差動増幅器に接続されたn型トランジスタN3が入力端子VOUに流れ込む過渡的な廻り込み電流をグラウンドに流す。そのため、従来のバンドギャップ回路でのPSRRに比べて、実施形態1のバンドギャップ回路でのPSRRは常に高い値を保つことができる。特に、実施形態1のバンドギャップ回路では、電源投入時にn型トランジスタN3が廻り込み電流をグラウンドに流すため、電源投入直後に従来のバンドギャップ回路よりも高いPSRRとすることができる。

#### 【0055】

そして、周波数が100Hz～1kHz程度を境にPSRRが低下し始めた後にPSRRは安定する。このとき、PSRRが低下する際、従来のバンドギャップ回路よりも高い値で低下し、1MHz～100MHz程度を境に安定し始める。安定化した後のPSRRは、実施形態1のバンドギャップ回路でのPSRRが従来のバンドギャップに比べて常に高い値を保つため、10dB～20dB程度で従来のバンドギャップ回路よりも高い値となっている。

#### 【0056】

このように、実施形態 1 のバンドギャップ回路では、差動増幅器に接続された N 型トランジスタ N 3 が電源投入にともなって機能するため、電源投入直後から、出力端子 VOUT への過渡的な廻り込み電流を n 型トランジスタ N 3 によりグランドへと効率良く除去することができる。これにより、バンドギャップ回路の PSRR の値を常に高い値とすることができるため、GHz オーダの高速でロジック回路を動作させる場合であっても、GHz オーダの高周波領域での PSRR を向上させることができる。

## 【0057】

さらに、図 4 に示すように、実施形態 1 のバンドギャップ回路は、従来のバンドギャップ回路と異なり、差動増幅器の帰還能力の低下により PSRR が低下する際、電源投入にともなって n 型トランジスタ N 3 が機能するため、常に高い値を保ちつつ低下して安定な状態になる。これにより、高周波領域の PSRR のみならず、低周波領域や中周波数領域であっても PSRR の値を高い値を維持することができる。

## 【0058】

図 5 (a) は、従来のバンドギャップ回路の出力端子 VOUT における時系列に対する出力電圧を示す。図 5 (b) は、実施形態 1 のバンドギャップ回路に、電源電圧 VDD を印加した際の p 型トランジスタ P 3 の時系列に対するドレイン電流を示す。これは、実施例のバンドギャップ回路での電源電圧 VDD に対する出力端子 VOUT のインパルス応答を示している。

## 【0059】

図 6 (a) は、実施形態 1 のバンドギャップ回路における出力端子 VOUT における時系列に対する出力電圧を示す特性図の一例である。図 6 (b) は、実施形態 1 のバンドギャップ回路に電源電圧 VDD を印加した際の p 型トランジスタ P 4 の時系列に対するドレイン電流を示す特性図の一例である。これは、実施形態 1 のバンドギャップ回路での電源電圧 VDD に対する出力端子 VOUT のインパルス応答を示している。図 6 (c) は、実施形態 1 のバンドギャップ回路に電源電圧 VDD を印加した際の n 型トランジスタ N 3 の時系列に対するドレイン電流を示す。なお、ここでは従来のバンドギャップ回路として、前述の差動型バン

ドギャップ回路を用いている。

【 0 0 6 0 】

従来のバンドギャップ回路では、バンドギャップ回路に電源を投入すると、p型トランジスタP3にドレイン電流が流れる。このとき、図5（b）に示すように、電源投入にともない、p型トランジスタP3のドレイン電流が立ち上がる。そして、p型トランジスタP3のドレイン電流により、出力端子VOU Tに電流が流れる。図5（a）に示すように、出力端子VOU Tに電源投入時の過渡的な廻り込み電流が流れ込み、これにより出力端子VOU Tが立ち上がる。

【 0 0 6 1 】

出力端子VOU Tが立ち上がると、廻り込み電流は、抵抗R1、R2、ダイオードD1、D2において放電される。図5（a）に示すように、抵抗R1、R2、ダイオードD1、D2等により廻り込み電流が放電されて低減されると、出力端子VOU Tの電圧が低下して安定する。それとともに、図5（b）に示すように、p型トランジスタP3のドレイン電流が低下して安定する。

【 0 0 6 2 】

このように、従来のバンドギャップ回路では、出力端子VOU Tに流れ込む廻り込み電流を放電する抵抗やダイオードは、一般的に放電能力が乏しいため、電源投入時には出力端子VOU Tは立ち上がる。さらに、抵抗やダイオードの放電能力が乏しいため、抵抗やダイオードが徐々にしか放電することができず、安定するまでの安定時間が長くなる。

【 0 0 6 3 】

実施形態1のバンドギャップ回路では、バンドギャップ回路に電源を投入すると、p型トランジスタP4にドレイン電流が流れる。そして、p型トランジスタP4のドレイン電流により、出力端子VOU Tに電流が流れる。このとき、出力端子VOU Tの電位変動によりn型トランジスタN3のゲート電位が上昇し、出力端子VOU Tに過渡的に流れ込む廻り込み電流が、n型トランジスタN3のドレインに流れてグランドへと流れる。そのため、図6（c）に示すように、n型トランジスタN3のドレイン電流は急峻に立ち上がる。

【 0 0 6 4 】

n 型トランジスタ N 3 により廻り込み電流がグランドに流れると、図 6 (b) に示すように、p 型トランジスタ P 4 のドレイン電流は、立ち上がることなく、なだらかに安定して一定の電流となる。それにもなって、図 6 (a) に示すように、出力端子 VOUT の電圧が、立ち上がることなく安定する。

## 【 0 0 6 5 】

このように、実施形態 1 のバンドギャップ回路では、出力端子 VOUT に流れ込む過渡的な廻り込み電流が n 型トランジスタ N 3 によりグランドに流されるため、電源投入時には出力端子 VOUT は立ち上がることなく、一定の電圧に安定する。これにより、出力端子 VOUT が安定するまでの安定時間を短縮することができ、高速動作に適したバンドギャップ回路を得ることができる。

## 【 0 0 6 6 】

以上のように、実施形態 1 のバンドギャップ回路は、差動増幅器に接続された n 型トランジスタ N 3 により、電源投入や電源変動時に過渡的に出力端子 VOUT に流れ込む廻り込み電流を直ちにグランドへと流す。これにより、電源投入や電源変動により発生する廻り込み電流を効率良く除去することができる。

## 【 0 0 6 7 】

さらに、実施形態 1 のバンドギャップ回路では、差動増幅器に接続された n 型トランジスタ N 3 が電源投入や電源変動時に過渡的に出力端子 VOUT に流れ込む廻り込み電流を効率良くグランドへと流すため、出力端子 VOUT の電圧が安定するまでの安定時間を短縮することができる。これにより、高速動作に適したバンドギャップ回路を構成することができ、安定時間が短く PSRR が高いバンドギャップ回路を実現することができる。

## 【 0 0 6 8 】

さらにまた、実施形態 1 のバンドギャップ回路では、n 型トランジスタ N 3 のディメンジョンを決めることにより差動増幅器のオフセット電圧を簡便に無くすることができる。そのため、差動増幅器のオフセット電圧を簡便に無くして容易に差動増幅器を良好な状態で動作させることができる。これにより、安定時間が短く PSRR が高く、さらには高精度な出力電圧を出力するバンドギャップ回路を簡便に実現することができる。

## 【 0 0 6 9 】

そして、実施形態 1 のバンドギャップ回路では、差動増幅器に n 型トランジスタ N 3 を接続し、廻り込み電流を除去するための素子数を大きく増やすことなく、廻り込み電流を効率良く簡便に除去することができる。そのため、出力端子 V O U T に廻り込む電流を効率良く簡便に除去するとともに、低電圧電源を用いて高速で駆動させることが可能となる。

## 【 0 0 7 0 】

発明の実施の形態 2 .

発明の実施の形態 2（以下、実施形態 2 と略す）においては、ローパスフィルタを設けたバンドギャップ回路について説明する。

## 【 0 0 7 1 】

まず、図 2 を用いて、実施形態 2 におけるバンドギャップ回路の構成について説明する。図 2 は、実施形態 2 におけるバンドギャップ回路の一構成例を示す概略回路図である。図 2 に示すように、実施形態 2 におけるバンドギャップ回路は、実施形態 1 におけるバンドギャップ回路と同様に構成される。そして、実施形態 2 におけるバンドギャップ回路は、バンドギャップ回路の出力端子 V O U T と p 型トランジスタ P 4 との間に p 型トランジスタ P 5 がさらに接続されている。なお、ここでは、実施形態 1 と同様の差動増幅器、n 型トランジスタ N 3、p 型トランジスタ P 4 等の説明は省略する。

## 【 0 0 7 2 】

p 型トランジスタ P 5 は、ドレインを出力端子 V O U T に接続されるとともに、ソースを p 型トランジスタ P 4 のドレインに接続されている。実施形態 1 のバンドギャップ回路では、p 型トランジスタ P 4 のドレインは出力端子 V O U T に接続されているが、実施形態 2 のバンドギャップ回路では、p 型トランジスタ P 5 のソースに接続されている。さらに、図 2 に示すように、p 型トランジスタ P 5 は、出力端子 V O U T に接続され、出力端子 V O U T を介して抵抗 R 2 に接続されている。

## 【 0 0 7 3 】

図 2 に示すように、p 型トランジスタ P 5 のゲートは、p 型トランジスタ P 1

5 を介して定電流源 2 0 a の出力端子 V b 2 に接続されている。p 型トランジスタ P 5 は、ゲートに定電流源 2 0 a から電流を供給されてゲートをオン・オフする。これに応じて、p 型トランジスタ P 5 は、電源電圧 V D D から出力端子 V O U T に電流を供給する。p 型トランジスタ P 4、P 5 の各ゲートは、定電流源 2 0 a から電流を供給されると同時にオン・オフし、電源電圧 V D D からの電流を出力端子 V O U T に出力する。

## 【 0 0 7 4 】

p 型トランジスタ P 5 のゲートが接続される定電流源 2 0 a は、実施形態 1 と同様に構成される。実施形態 2 の定電流源 2 0 a は、直流電源 2 1 と p 型トランジスタ P 2 4 とを有し、さらに p 型トランジスタ P 5 に接続される p 型トランジスタ P 2 5 を有する。p 型トランジスタ P 2 5 は、ドレインを直流電源 2 1 に接続され、ソースを p 型トランジスタ P 2 4 のドレインに接続されている。実施形態 1 のバンドギャップ回路では、p 型トランジスタ P 2 4 のドレインは直流電源 2 1 に接続されているが、実施形態 2 のバンドギャップ回路では、p 型トランジスタ P 2 5 のソースに接続されている。また、p 型トランジスタ P 2 5 は、p 型トランジスタ P 2 4 と同様に、ドレインーゲート間を接続（ダイオード接続）されている。

## 【 0 0 7 5 】

p 型トランジスタ P 2 5 のゲートは、定電流源 2 0 a の出力端子 V b 2 に接続されており、出力端子 V b 2 を介して p 型トランジスタ P 5 のゲートに接続されている。それとともに、p 型トランジスタ P 2 5 のゲートは、p 型トランジスタ P 1 5 のゲートに接続されている。そして、p 型トランジスタ P 2 4 のゲートは、定電流源 2 0 a の出力端子 V b 1 に接続されており、出力端子 V b 1 を介して p 型トランジスタ P 4、P 1 4 の両ゲートに接続されている。なお、定電流源 2 0 a の p 型トランジスタ P 2 4 は、p 型トランジスタ P 1 4、P 4 と接続されてカレントミラーを構成する。また、定電流源 2 0 a の p 型トランジスタ P 2 5 は、p 型トランジスタ P 1 5、P 5 とカスケード接続されている。

## 【 0 0 7 6 】

図 2 においては、p 型トランジスタ P 1 5 が差動増幅器に接続されている。p

型トランジスタ P 1 5 は、p 型トランジスタ P 1 4 とカスケード接続されており、差動増幅器と電源電圧 V D D との間で直列に接続されている。p 型トランジスタ P 1 5 のソースが p 型トランジスタ P 1 4 のドレインに接続されるとともに、ドレインが差動増幅器に接続されている。この p 型トランジスタ P 1 5 のドレインは、差動増幅器の p 型トランジスタ P 6、P 7 のソースに接続されている。さらに、p 型トランジスタ P 1 5 のゲートは、p 型トランジスタ P 5 のゲートに接続されるとともに、定電流源 2 0 a の出力端子 V b 2 に接続されている。p 型トランジスタ P 1 4、P 1 5 の各ゲートは、定電流源 2 0 a から電流を供給されると同時にオン・オフし、電源電圧 V D D からの電流を差動増幅器に供給する。

## 【 0 0 7 7 】

図 2 に示すように、p 型トランジスタ P 1 4、P 1 5 をカスケード接続して差動増幅器に接続した場合、差動増幅器に対して良好な状態で電流を供給することができ、差動増幅器を正確に動作させることができる。

## 【 0 0 7 8 】

実施形態 2 のバンドギャップ回路では、図 2 に示すように、p 型トランジスタ P 5 と出力端子 V O U T 側の抵抗 R 2 とが出力端子 V O U T を介して接続されている。これにより、p 型トランジスタ P 5 及び出力端子 V O U T 側の抵抗 R 2 がローパスフィルタとして機能することができる。抵抗成分を有する p 型トランジスタ P 5 と容量成分を有する抵抗 R 2 により、ローパスフィルタが構成される。

## 【 0 0 7 9 】

例えば、実施形態 2 のバンドギャップ回路では、p 型トランジスタ P 5 のソースドレイン間の電圧降下に対応した抵抗成分を有する抵抗素子として機能することができる。また、出力端子 V O U T 側の抵抗 R 2 が p 型シリコン基板等の基板上に形成された N ウェル抵抗である場合、抵抗 R 2 は基板と N ウェルとの間につく寄生容量に対応した容量成分を有する容量素子として機能する。

## 【 0 0 8 0 】

ここで、N ウェル抵抗とは、基板と N ウェルとの間に寄生容量がつく拡散抵抗のことであり、また、例えばイオン注入法により N ウェルが形成されたイオン注入抵抗のことである。そのため、出力端子 V O U T 側の抵抗 R 2 として、イオン



注入法等によって形成されたNウェルを用いることにより、ローパスフィルタを構成することができる。このように、Nウェル抵抗を用いて抵抗R2を形成する場合、他のトランジスタを形成する際に同時に形成することができ、容量成分を有する抵抗を簡便に形成することができる。

## 【0081】

また一般に、p型トランジスタP5のゲート長を長くすると、図3に示すように、ソースドレインの電流特性を安定にすることができ、電圧に対して電流が一定となる状態を多くすることができる。そして、p型トランジスタP5のゲート長を長くすることにより、抵抗成分を有する抵抗素子として用いることができる。そのため、p型トランジスタP5と出力端子VOU T側の抵抗R2とからローパスフィルタを構成する場合、p型トランジスタP5のゲート長を長くするのが望ましい。一例として、p型トランジスタP5のゲート長を2  $\mu$ m以上とするのが好ましい。

## 【0082】

このように、出力端子VOU T側の抵抗R2にNウェル抵抗を用いることにより、寄生容量を積極的に利用し、一定の周波数以上のノイズを除去するローパスフィルタを構成することができる。これにより、実施形態2のバンドギャップ回路では、電源電圧VDDからの電流に含まれる高周波領域の電源ノイズを確実に除去することができる。

## 【0083】

なお、実施形態2のバンドギャップ回路では、ローパスフィルタを構成するためにp型トランジスタP5を設けたが、これに限らずトランジスタ、抵抗等の抵抗成分を有する素子であれば良い。実施形態2のバンドギャップ回路のように、抵抗成分を有する素子としてp型トランジスタP5を用いることにより、抵抗成分を有する素子を簡便かつ効率良く形成することができる。また、実施形態2のバンドギャップ回路のp型トランジスタP5は、1 M $\Omega$ 以上という大抵抗値を要するため、抵抗成分を有する素子としてトランジスタを用いることが好ましい。

## 【0084】

またなお、実施形態2のバンドギャップ回路では、ローパスフィルタを構成す

るために出力端子VOUT側の抵抗R2をNウェル抵抗としたが、これに限らず寄生抵抗を有する素子や容量等のような容量成分を有する素子であれば良い。あるいは、出力端子VOUTと出力端子VOUT側の抵抗R2との間に抵抗R2とは別に容量成分を有する素子を設けても良い。またあるいは、p型トランジスタP5側の抵抗R2をNウェル抵抗として、ローパスフィルタを構成しても良い。実施形態2のバンドギャップ回路のように、容量成分を有する素子として寄生抵抗を有する抵抗R2を用いることにより、容量成分を有する素子を簡便かつ効率良く形成することができる。さらに、出力端子VOUT側及びp型トランジスタP5側の抵抗R2の両抵抗に寄生抵抗を有する抵抗R2を用いることにより、ローパスフィルタとしての機能を高めることができる。

## 【0085】

実施形態2のバンドギャップ回路の動作について説明する。実施形態2におけるバンドギャップ回路は、実施形態1のバンドギャップ回路と同様に動作を行う。前述のように、実施形態2のバンドギャップ回路では、バンドギャップ回路の出力端子VOUTとp型トランジスタP4との間にp型トランジスタP5を接続し、p型トランジスタP5と出力端子VOUT側の抵抗R2とからローパスフィルタを構成する。そのため、電源電圧VDDが供給された際、このローパスフィルタにより電源ノイズを除去する。なお、ここでは、実施形態2のバンドギャップ回路が実施形態1のバンドギャップ回路と同様に動作を行うため、その説明は省略する。

## 【0086】

図4、図5、図7を用いて、実施形態2のバンドギャップ回路の動作と従来の差動型バンドギャップ回路の動作とを比較する。図4は、本発明の実施の形態におけるバンドギャップ回路と従来のバンドギャップ回路との周波数に対するPSRRの比較結果を示す特性図の一例である。図5は、従来のバンドギャップに関する電源電圧依存を示す特性図の一例である。図7は、実施形態2におけるバンドギャップ回路の電源電圧依存を示す特性図の一例である。なお、ここでは従来のバンドギャップ回路として、前述の差動型バンドギャップ回路を用いている。

## 【0087】

図4に示すように、従来のバンドギャップ回路では、ロジック回路に印加する電圧の周波数を低周波数から高周波数へと変化させて電圧を印加させると、差動増幅器の負帰還能力が下がるため、周波数が100Hz～1kHz程度を境にPSSが低下する。ここで、図4においては、バンドギャップ回路に印加させる電源の電圧は1.5Vである。そして、周波数が100Hz～1kHz程度を境にPSSが低下し始めた後、1MHz～100MHz程度を境にPSRRが安定する。このときの安定化したPSRRの値は、0dB～10dB程度となっている。つまり、従来のバンドギャップ回路を用いてロジック回路をGHzオーダの高速で動作を行う場合、0dB～10dB程度のPSRRで動作を行っている。

## 【0088】

図4に示すように、実施形態2のバンドギャップ回路では、ロジック回路に印加する1.5Vの電源電圧VDDの周波数を低周波数から高周波数へと変化させて電圧を印加させると、従来のバンドギャップ回路と同様に、差動増幅器の負帰還能力が下がるため、周波数が100Hz～1kHz程度を境にPSRRが低下する。

## 【0089】

実施形態2のバンドギャップ回路では、実施形態1のバンドギャップ回路と同様に、差動増幅器に接続されたn型トランジスタN3が入力端子VOUTに流れ込む過渡的な廻り込み電流をグラウンドに流す。そのため、従来のバンドギャップ回路でのPSRRに比べて、実施形態2のバンドギャップ回路でのPSRRは常に高い値を保つことができる。特に、実施形態2のバンドギャップ回路では、電源投入時にn型トランジスタN3が廻り込み電流をグラウンドに流すため、電源投入直後に従来のバンドギャップ回路よりも高いPSRRを実現することができる。

## 【0090】

そして、周波数が100Hz～1kHz程度を境にPSRRが低下し始めた後にPSRRは安定する。このとき、実施形態1のバンドギャップ回路と同様に、PSRRが低下する際、従来のバンドギャップ回路よりも高い値で低下し、1M

H z  $\sim$  1 0 0 M H z 程度を境に安定し始める。

【 0 0 9 1 】

さらに、実施形態 2 のバンドギャップ回路においては、p 型トランジスタ P 5 と出力端子 V O U T の抵抗 R 2 により、電源電圧 V D D の高周波領域での電源ノイズを除去するローパスフィルタが構成されている。そのため、P S R R が低下した後に安定する際、従来のバンドギャップ回路や実施形態 1 のバンドギャップ回路と異なり、実施形態 2 のバンドギャップ回路での P S R R は、滑らかに上昇する。安定化した後の P S R R は、実施形態 2 のバンドギャップ回路での P S R R が従来のバンドギャップに比べて常に高い値を保つため、2 0 d B  $\sim$  3 0 d B 程度で従来のバンドギャップ回路よりも高い値となっている。

【 0 0 9 2 】

このように、実施形態 2 のバンドギャップ回路では、実施形態 1 のバンドギャップ回路と同様に、差動増幅器に接続された n 型トランジスタ N 3 が電源投入にともなって機能するため、電源投入直後から、出力端子 V O U T への過渡的な廻り込み電流を n 型トランジスタ N 3 によりグランドへと効率良く除去することができる。これにより、バンドギャップ回路の P S R R の値を常に高い値とすることができるため、G H z オーダの高速でロジック回路を動作させる場合であっても、G H z オーダの高周波領域での P S R R を向上させることができる。

【 0 0 9 3 】

図 4 に示すように、実施形態 2 のバンドギャップ回路では、実施形態 1 のバンドギャップ回路とは異なり、差動増幅器に n 型トランジスタ N 3 が接続されるとともに、出力端子 V O U T に p 型トランジスタ P 5 が接続される。この p 型トランジスタ P 5 と出力端子 V O U T 側の抵抗 R 2 により、電源電圧 V D D に接続されるローパスフィルタが構成され、高周波領域で発生しやすい電流ノイズを確実に除去することができる。そのため、高周波領域での P S R R を上昇させて実施形態 1 の場合よりも高い値で安定させることが可能となる。

【 0 0 9 4 】

図 7 ( a ) は、実施形態 2 のバンドギャップ回路における出力端子 V O U T における時系列に対する出力電圧を示す特性図の一例である。図 7 ( b ) は、実施

形態 2 のバンドギャップ回路に電源電圧  $V_{DD}$  を印加した際の  $p$  型トランジスタ  $P5$  の時系列に対するドレイン電流を示す特性図の一例である。これは、実施形態 2 のバンドギャップ回路での電源電圧  $V_{DD}$  に対する出力端子  $V_{OUT}$  のインパルス応答を示している。図 7 (c) は、実施形態 2 のバンドギャップ回路に電源電圧  $V_{DD}$  を印加した際の  $n$  型トランジスタ  $N3$  の時系列に対するドレイン電流を示す特性図の一例である。なお、ここでは従来のバンドギャップ回路として、前述の差動型バンドギャップ回路を用いている。

## 【 0 0 9 5 】

従来のバンドギャップ回路では、バンドギャップ回路に電源を投入すると、 $p$  型トランジスタ  $P3$  にドレイン電流が流れる。このとき、図 5 (b) に示すように、電源投入にともない、 $p$  型トランジスタ  $P3$  のドレイン電流が立ち上がる。そして、 $p$  型トランジスタ  $P3$  のドレイン電流により、出力端子  $V_{OUT}$  に電流が流れる。図 5 (a) に示すように、出力端子  $V_{OUT}$  に電源投入時の過渡的な廻り込み電流が流れ込み、これにより出力端子  $V_{OUT}$  が立ち上がる。

## 【 0 0 9 6 】

出力端子  $V_{OUT}$  が立ち上がると、廻り込み電流は、抵抗  $R1$ 、 $R2$ 、ダイオード  $D1$ 、 $D2$  において放電される。また、図 5 (b) に示すように、 $p$  型トランジスタ  $P3$  にも廻り込み電流が流れ込み、電源投入による立ち上がりからさらに立ち上がる。その後、図 5 (a) に示すように、抵抗  $R1$ 、 $R2$ 、ダイオード  $D1$ 、 $D2$  等により廻り込み電流が放電されて低減されると、出力端子  $V_{OUT}$  の電圧が低下して安定する。それとともに、図 5 (b) に示すように、 $p$  型トランジスタ  $P3$  のドレイン電流が低下して安定する。

## 【 0 0 9 7 】

このように、従来のバンドギャップ回路では、出力端子  $V_{OUT}$  に流れ込む廻り込み電流を放電する抵抗やダイオードの放電能力が乏しいため、電源投入時には出力端子  $V_{OUT}$  は立ち上がる。さらに、抵抗やダイオードは一般的に放電能力が乏しいため、抵抗やダイオードが徐々にしか放電することができず、安定するまでの安定時間が長くなる。

## 【 0 0 9 8 】

実施形態 2 のバンドギャップ回路では、バンドギャップ回路に電源を投入すると、p 型トランジスタ P 4、P 5 にドレイン電流が流れる。そして、p 型トランジスタ P 4、P 5 のドレイン電流により、出力端子 V O U T に電流が流れる。このとき、出力端子 V O U T の電位変動により n 型トランジスタ N 3 のゲート電位が上昇し、出力端子 V O U T に過渡的に流れ込む廻り込み電流が、n 型トランジスタ N 3 のドレインに流れてグランドへと流れる。そのため、図 7 ( c ) に示すように、n 型トランジスタ N 3 のドレイン電流は急峻に立ち上がる。

【 0 0 9 9 】

さらに、実施形態 2 のバンドギャップ回路では、p 型トランジスタ P 5 が出力端子 V O U T に接続されて出力端子 V O U T 側の抵抗 R 2 とともにローパスフィルタが構成される。そのため、出力端子 V O U T に電流を供給する際にローパスフィルタにより電源電圧 V D D の高周波領域での電源ノイズが除去される。

【 0 1 0 0 】

ローパスフィルタにより電源電圧 V D D の高周波領域での電源ノイズを除去された廻り込み電流が、n 型トランジスタ N 3 により流れると、図 7 ( b ) に示すように、p 型トランジスタ P 5 のドレイン電流は、立ち上がることなく、なだらかに安定して一定の電流となる。それにともなって、図 7 ( a ) に示すように、出力端子 V O U T の電圧が、立ち上がることなく安定する。

【 0 1 0 1 】

このように、実施形態 2 のバンドギャップ回路では、出力端子 V O U T に流れ込む過渡的な廻り込み電流が n 型トランジスタ N 3 によりグランドに流されるため、電源投入時には出力端子 V O U T は立ち上がることなく、一定の電圧に安定する。これにより、出力端子 V O U T が安定するまでの安定時間を短縮することができ、高速動作に適したバンドギャップ回路を得ることができる。

【 0 1 0 2 】

さらに、実施形態 2 のバンドギャップ回路では、ローパスフィルタにより高周波領域での電源ノイズを確実に除去するため、出力端子 V O U T に流れ込む廻り込み電流に電源電圧 V D D の高周波領域での電源ノイズが含まれていない。そのため、ローパスフィルタと n 型トランジスタ N 3 とにより、廻り込み電流を効率

良く除去することができ、出力端子VOUTが安定するまでの安定時間をより一層短縮することができる。また、ローパスフィルタにより、電源電圧VDDの高周波領域における電源ノイズを除去するため、出力端子VOUTから良好な状態で電圧を取り出すことができる。

#### 【0103】

以上のように、実施形態2のバンドギャップ回路は、差動増幅器に接続されたn型トランジスタN3により、電源投入や電源変動時に過渡的に出力端子VOUTに流れ込む廻り込み電流を直ちにグランドへと流す。これにより、電源投入や電源変動により発生する廻り込み電流を効率良く除去することができる。

#### 【0104】

さらに、実施形態2のバンドギャップ回路では、差動増幅器に接続されたn型トランジスタN3が電源投入や電源変動時に過渡的に出力端子VOUTに流れ込む廻り込み電流を効率良くグランドへと流すため、出力端子VOUTの電圧が安定するまでの安定時間を短縮することができる。これにより、高速動作に適したバンドギャップ回路を構成することができ、安定時間が短くPSRRが高いバンドギャップ回路を実現することができる。

#### 【0105】

さらにまた、実施形態2のバンドギャップ回路では、n型トランジスタN3のディメンジョンを決めることにより差動増幅器のオフセット電圧を簡便に無くすることができる。そのため、差動増幅器のオフセット電圧を簡便に無くして容易に差動増幅器を良好な状態で動作させることができる。これにより、安定時間が短くPSRRが高く、さらには高精度な出力電圧を出力するバンドギャップ回路を簡便に実現することができる。

#### 【0106】

そして、実施形態2のバンドギャップ回路では、差動増幅器にn型トランジスタN3を接続し、廻り込み電流を除去するための素子数を大きく増やすことなく、廻り込み電流を効率良く簡便に除去することができる。そのため、出力端子VOUTに廻り込む電流を効率良く簡便に除去するとともに、低電圧電源を用いて高速で駆動させることが可能となる。

## 【 0 1 0 7 】

またさらに、実施形態 2 のバンドギャップ回路では、p 型トランジスタ P 5 と出力端子 V O U T 側の抵抗 R 2 によりローパスフィルタを構成することができる。そのため、ローパスフィルタにより電源電圧 V D D の高周波領域での電源ノイズを確実に除去することができ、P S R R を上昇させてより一層向上させることができる。これにより、高速動作に適したバンドギャップ回路を構成することができ、安定時間が短く P S R R がより高いバンドギャップ回路を実現することができる。

## 【 0 1 0 8 】

## 【発明の効果】

本発明によれば、回路出力端子に過渡的に廻り込む過剰電流を効率良く除去することができ、P S R R を向上させ、回路出力端子での電圧の安定時間を短縮することができるバンドギャップ回路を提供することができる。

## 【図面の簡単な説明】

## 【図 1】

本発明の実施の形態 1 におけるバンドギャップ回路の一構成例を示す回路図である。

## 【図 2】

本発明の実施の形態 2 における基準電圧発生装置の一構成例を示す回路図である。

## 【図 3】

本発明の実施の形態 2 におけるバンドギャップ回路の p 型トランジスタの電流電圧特性を示す特性図の一例である。

## 【図 4】

本発明の実施の形態におけるバンドギャップ回路と従来のバンドギャップ回路との周波数に対する P S R R の比較結果を特性図の一例である。

## 【図 5】

従来のバンドギャップ回路に関する電源電圧依存を示す特性図の一例である。

## 【図 6】



本発明の実施の形態 1 におけるバンドギャップ回路の電源電圧依存を示す特性図の一例である。

【図 7】

本発明の実施の形態 2 におけるバンドギャップ回路の電源電圧依存を示す特性図の一例である。

【図 8】

従来のカレントミラー型バンドギャップ回路の一構成例を示す回路である。

【図 9】

従来のカレントミラー型バンドギャップ回路における電源電圧依存を示す特性図の一例である。

【図 1 0】

従来の差動型バンドギャップ回路の一構成例を示す回路である。

【図 1 1】

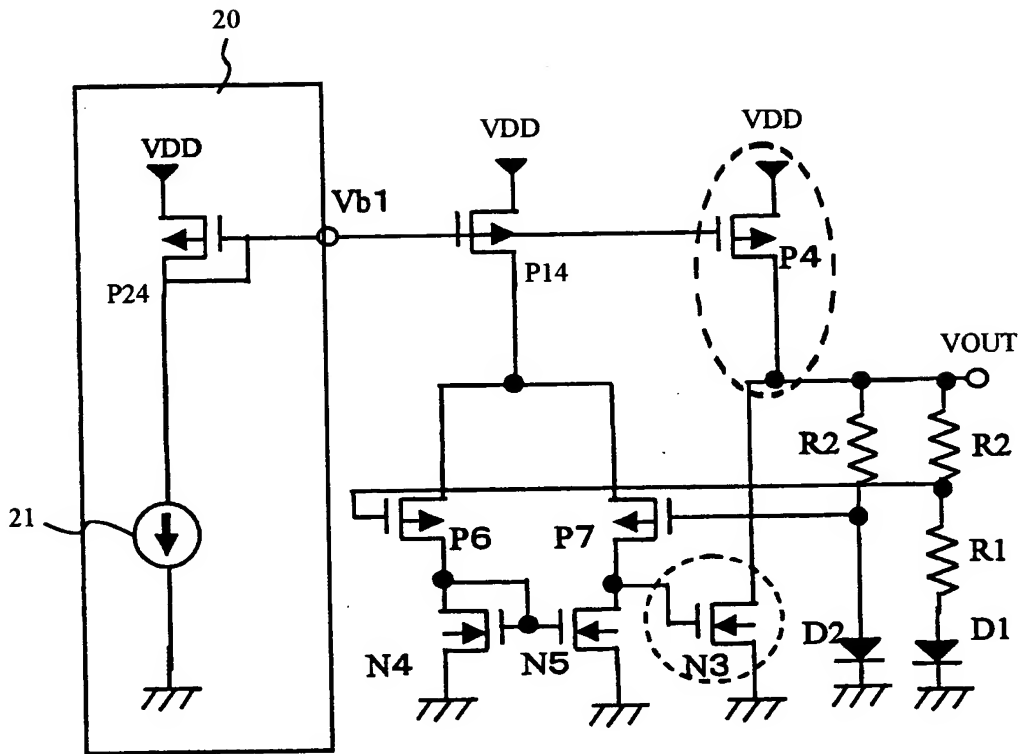
従来の差動型バンドギャップ回路における電源電圧依存を示す特性図の一例である。

【符号の説明】

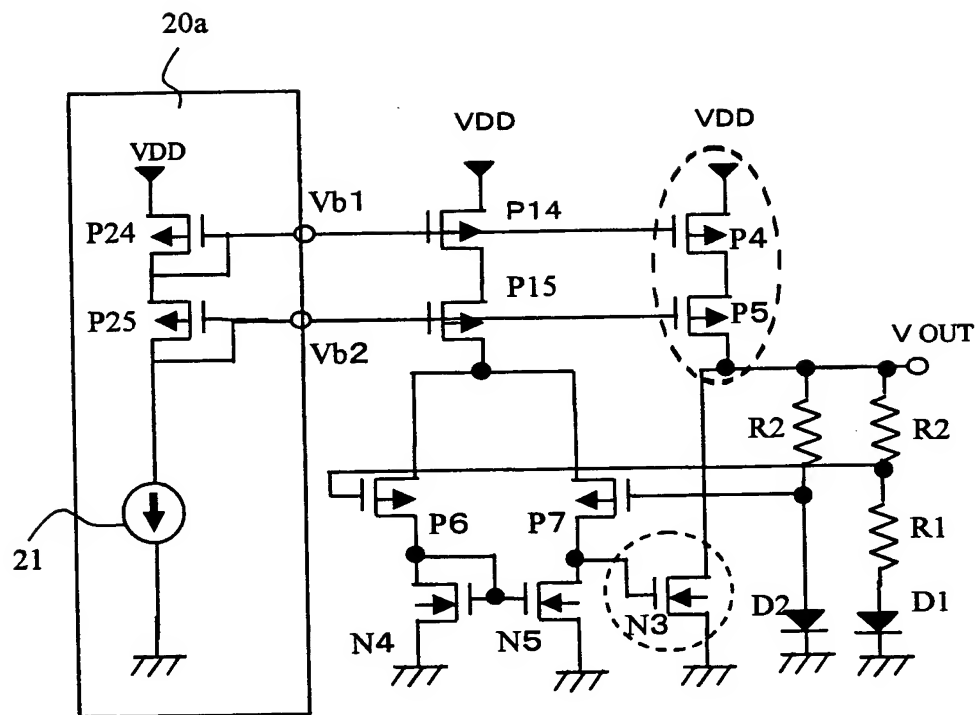
2 0, 2 0 a 定電流源、 2 1 直流電源

【書類名】 図面

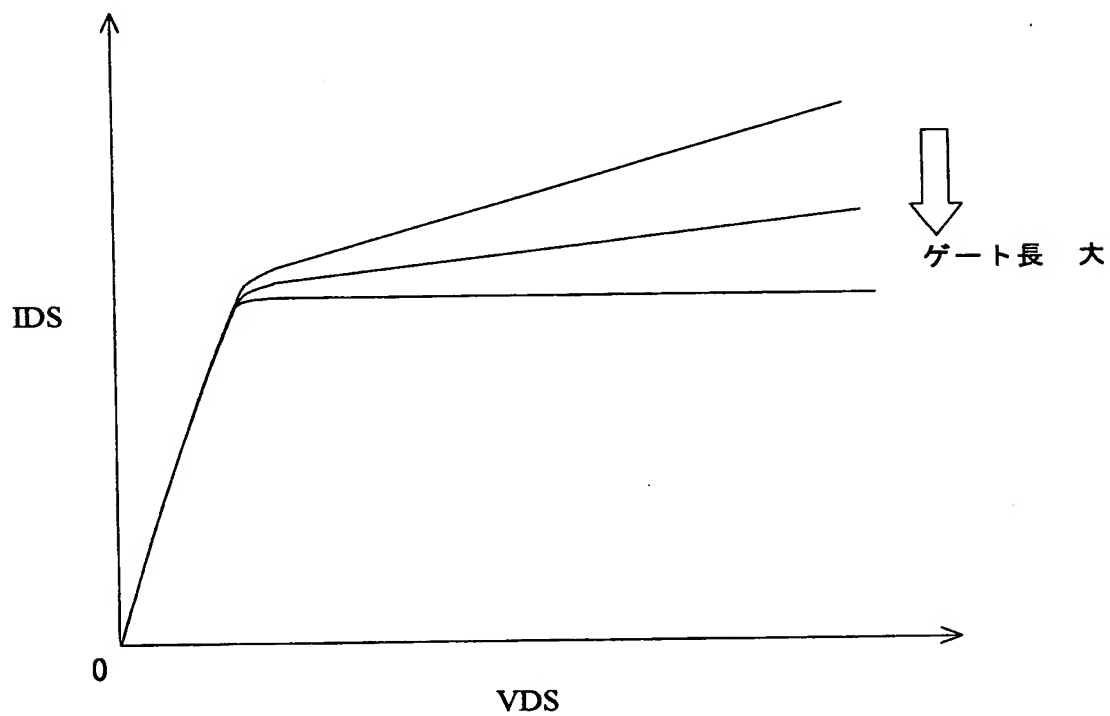
【図 1】



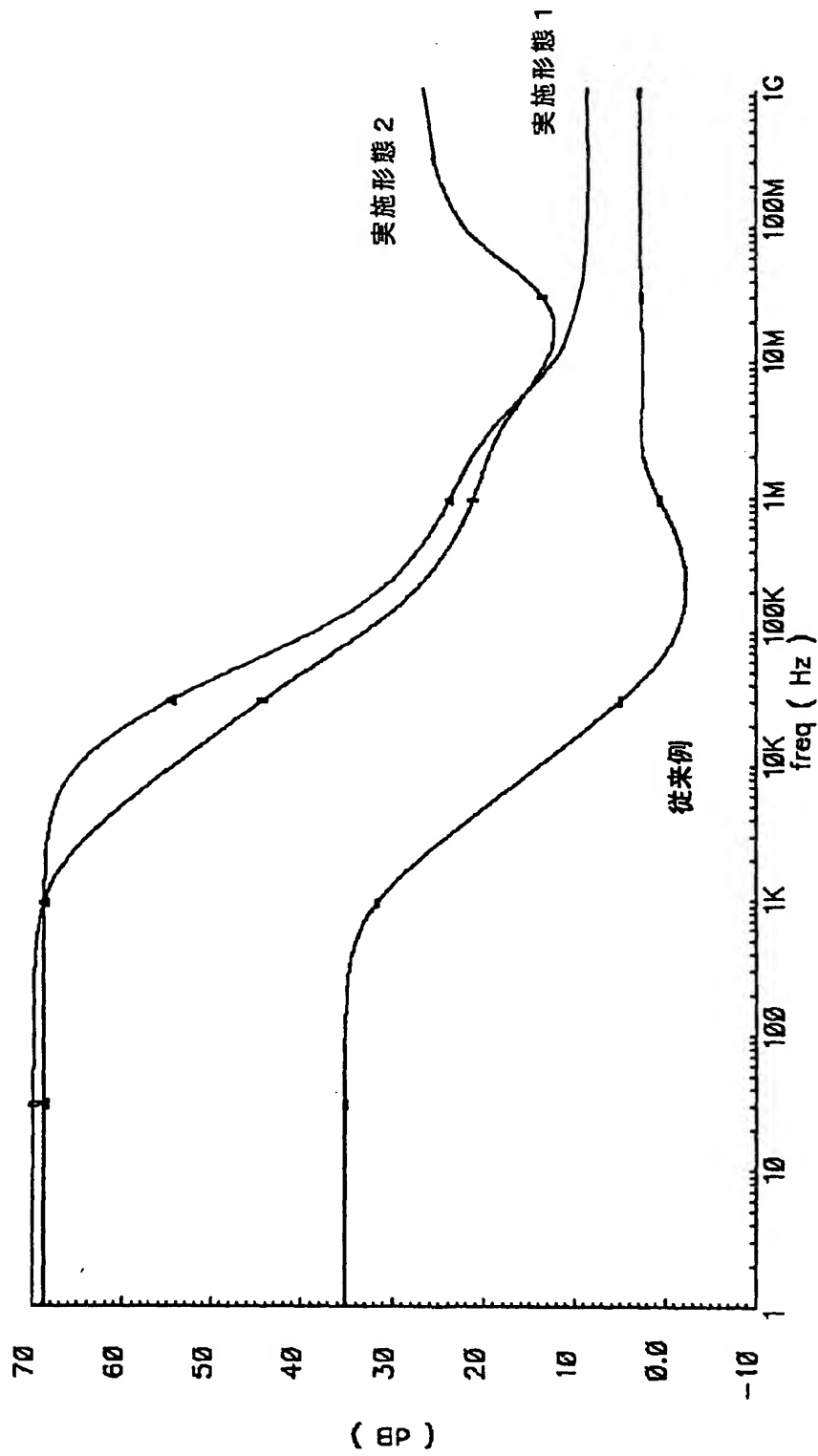
【図 2】



【図 3】

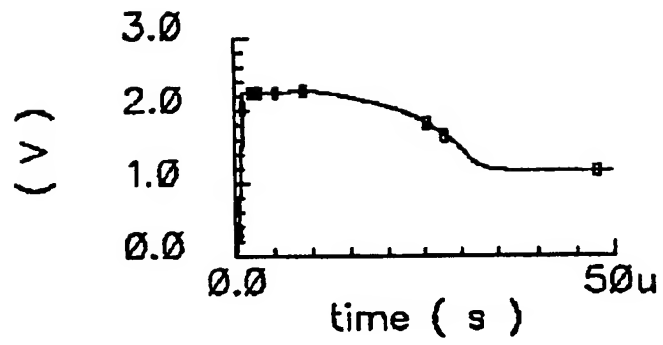


【図4】

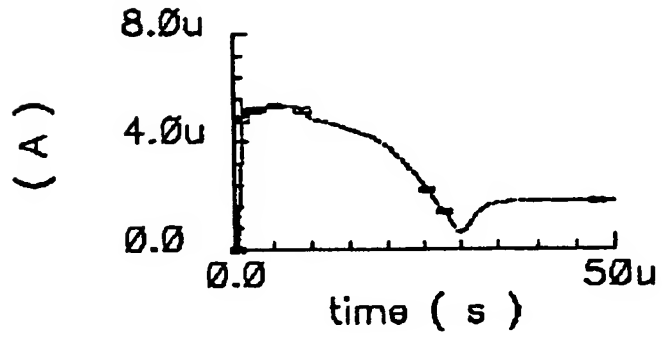


【図 5】

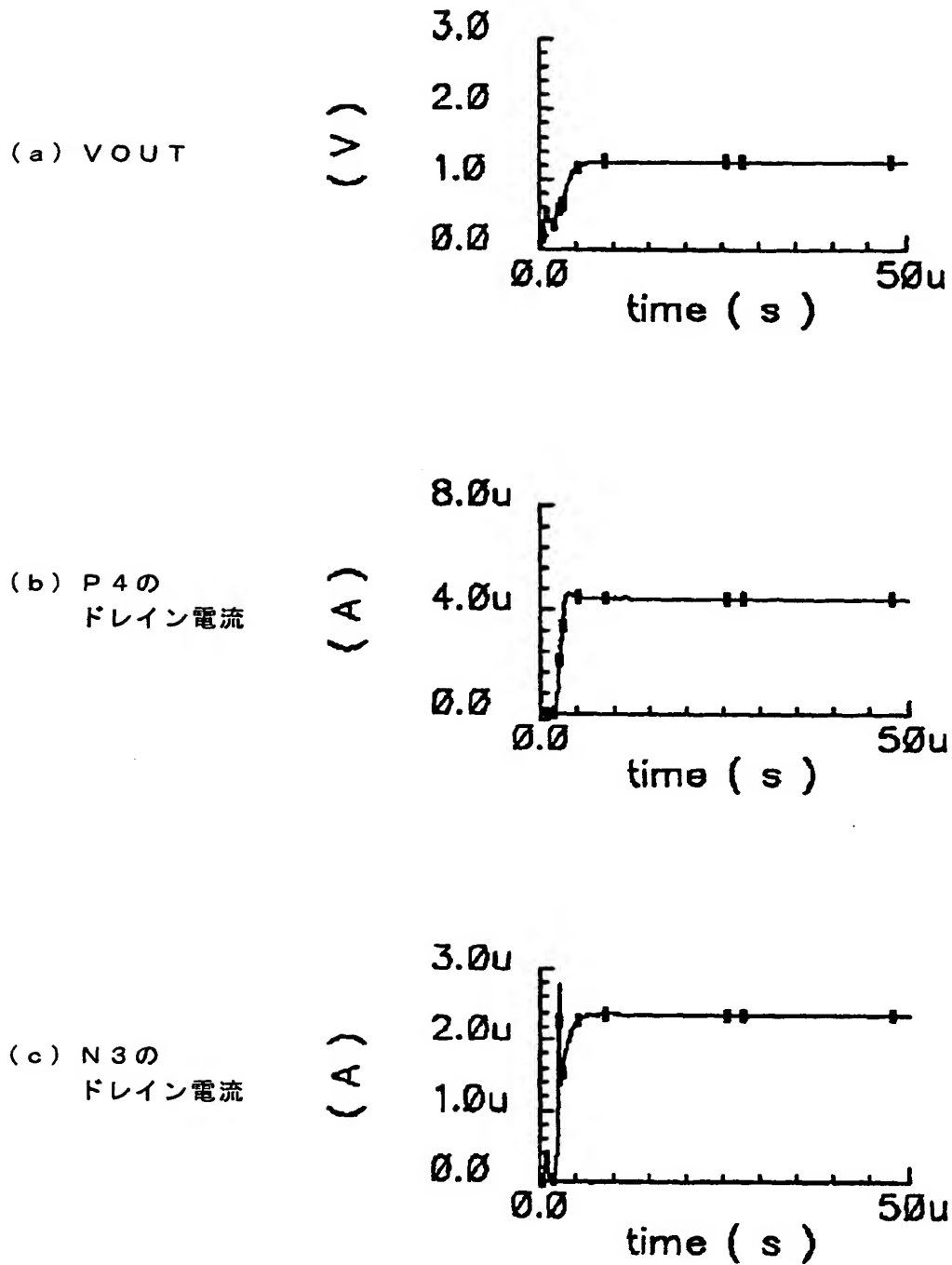
(a) VOUT



(b) P3の  
ドレイン電流

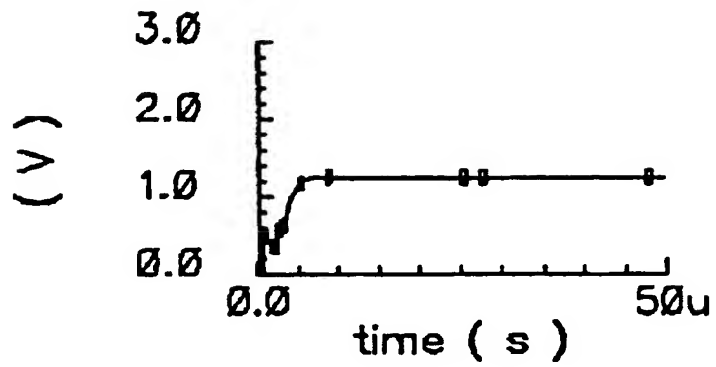


【図6】

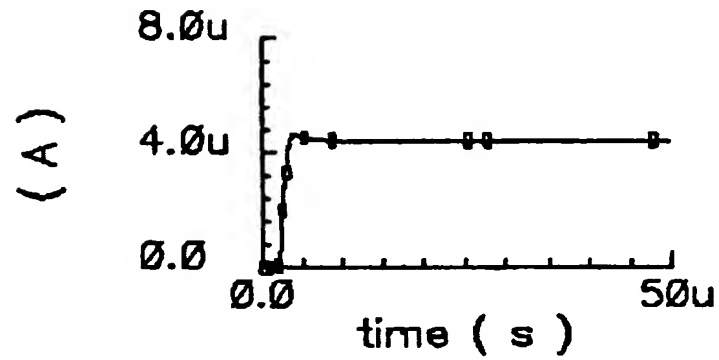


【図 7】

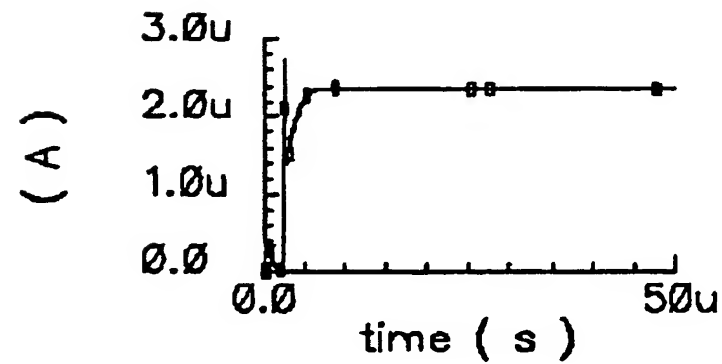
(a) VOUT



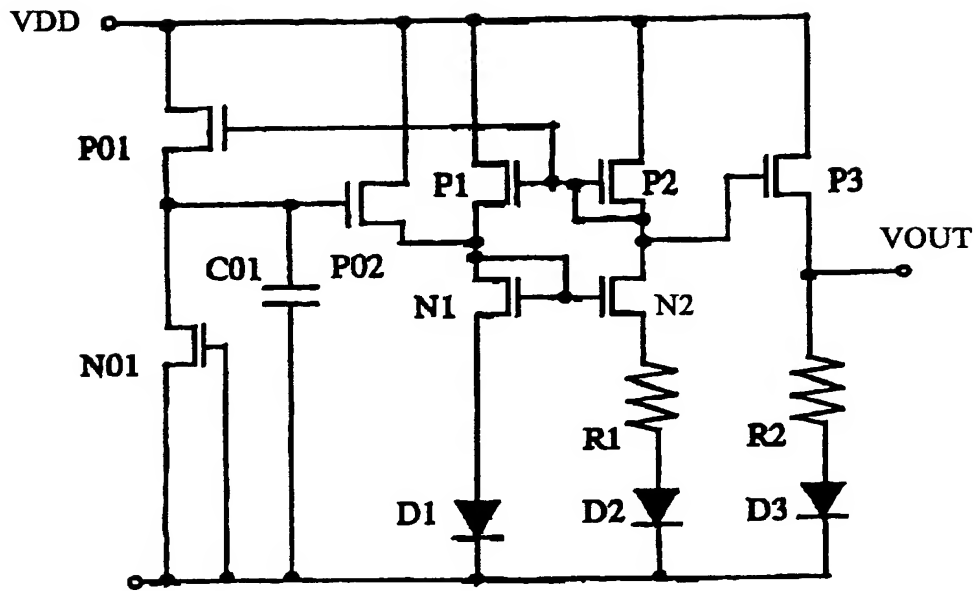
(b) P5の  
ドレイン電流



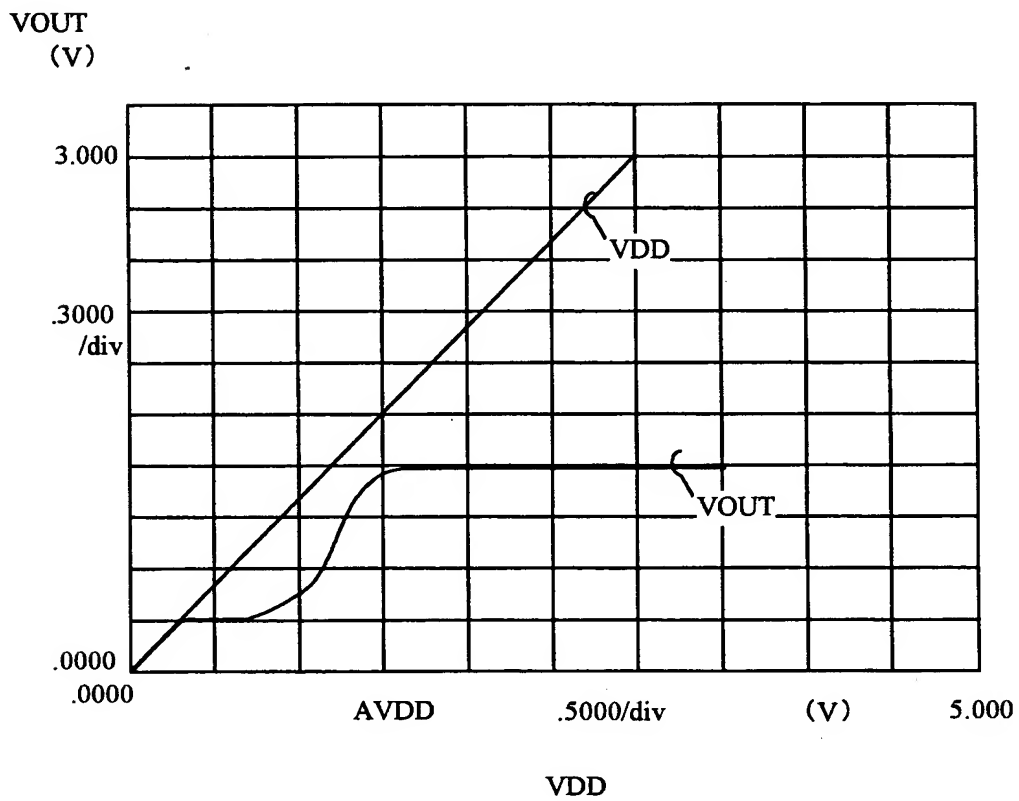
(c) N3の  
ドレイン電流



【図 8】

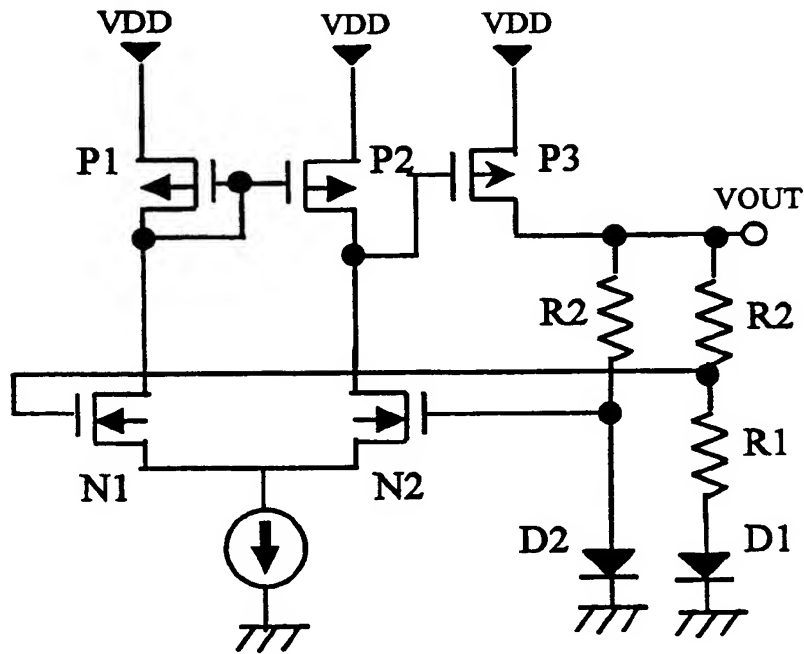


【図 9】

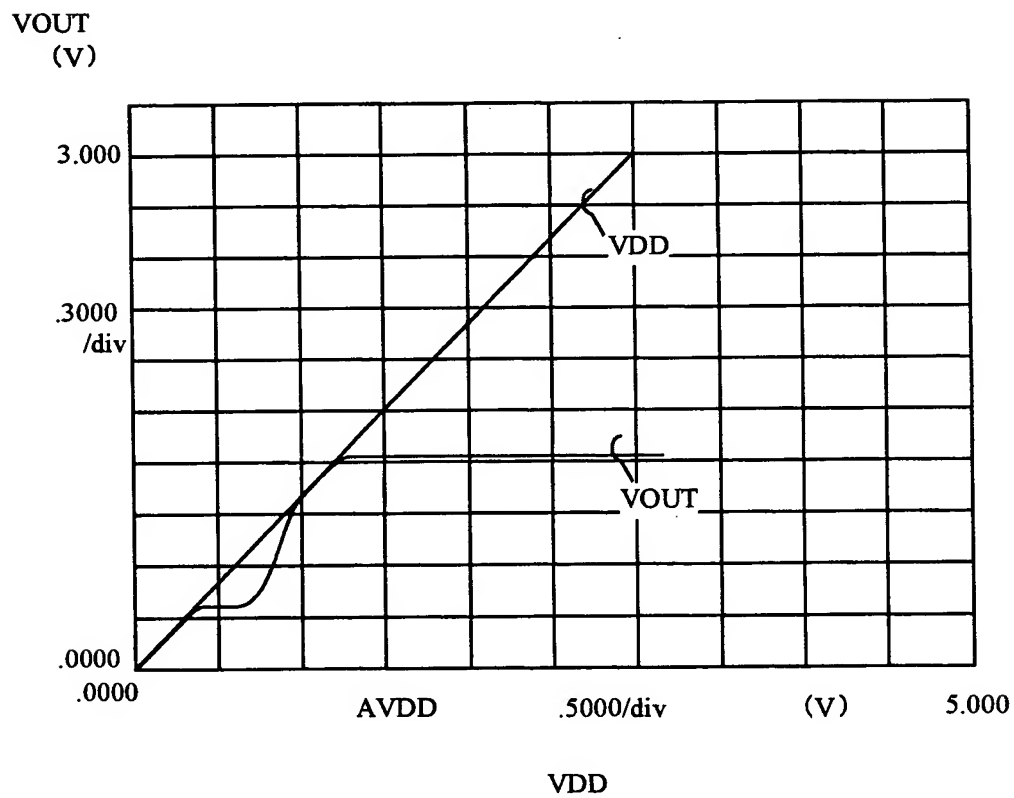




【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】

回路出力端子に過渡的に廻り込む過剰電流を効率良く除去することができ、P S R Rを向上させ、回路出力端子での電圧の安定時間を短縮することができるバンドギャップ回路を提供することを目的とする。

【解決手段】

本発明にかかるバンドギャップ回路は、差動増幅器を備え、出力端子V O U Tの電圧の変動に応じて反転入力端子と非反転入力端子に電位差を生じる。そして、出力端子V O U T及びグランドに接続されるとともに、差動増幅器の出力端子に直接接続されるn型トランジスタN 3が、差動増幅器の出力端子での電位の変動に応じて、出力端子V O U Tの過剰電流をグランドに流す。さらに、本発明にかかるバンドギャップ回路は、電源電圧V D D及び出力端子V O U Tに接続される抵抗成分を有しカスケード接続されるp型トランジスタP 5と、容量成分を有する抵抗R 2とを備える。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 4 9 3 5 2
受付番号	5 0 2 0 1 2 8 0 9 2 8
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 4 年 8 月 2 9 日

< 認定情報・付加情報 >

【提出日】	平成14年 8月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 2001年 5月21日

[変更理由] 名称変更

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 エヌイーシーマイクロシステム株式会社